

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001189413 A

(43) Date of publication of application: 10.07.01

(51) Int. Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21) Application number: 11371203

(71) Applicant: SEIKO EPSON CORP

(22) Date of filing: 27.12.99

(72) Inventor: NOZAWA KAZUHIKO

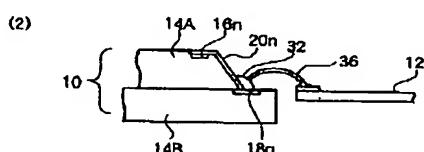
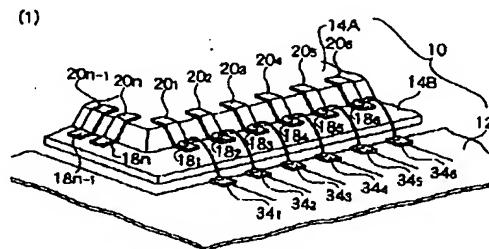
(54) MULTI-CHIP, MULTI-CHIP PACKAGE,
SEMICONDUCTOR DEVICE, AND ELECTRONIC
APPARATUS

(57) Abstract:

PROBLEM TO BE SOLVED: To enable easy three dimensional mounting of a semiconductor chip, while minimizing degradation in electrical characteristics.

SOLUTION: Semiconductor chips, comprising common electrodes which are arrayed in the same array pattern, are laminated on the electrode terminal row of lower-layer chip with the edge of upper-layer chip aligned, and a conductive metal layer extending toward a chip backside, while conductive to the upper-layer electrode terminal is provided at the edge of the upper-layer chip, with the conductive metal layer and lower-layer electrode terminal are aligned to each other for continuity, using a metal mass before lamination.

COPYRIGHT: (C)2001,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-189413
(P2001-189413A)

(43)公開日 平成13年7月10日(2001.7.10)

(51)Int.Cl.
H 01 L 25/065
25/07
25/18

識別記号

F I
H 01 L 25/08

テマコード(参考)
Z

審査請求 未請求 請求項の数10 O.L (全 7 頁)

(21)出願番号

特願平11-371203

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22)出願日 平成11年12月27日(1999.12.27)

(72)発明者 野澤一彦

長野県飯田市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100093388

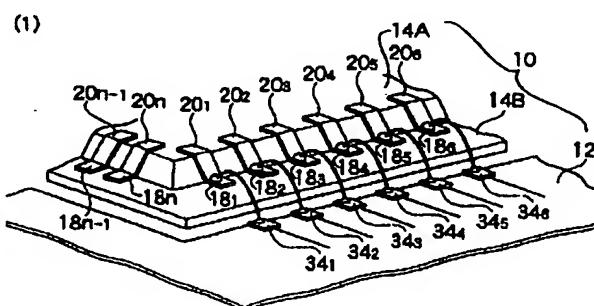
弁理士 鈴木 喜三郎 (外2名)

(54)【発明の名称】 マルチチップ、マルチチップパッケージ、半導体装置および電子機器

(57)【要約】

【課題】 半導体チップの3次元実装が容易にできるとともに、電気的特性の劣化を最小にする。

【解決手段】 同一の配列パターンに配列された共通の電極を有する半導体チップを下層チップの電極端子列上に上層チップの縁辺を沿わせて積層し、上層チップの縁部には上層電極端子と導通されチップ裏面側に向けて延在する導電メタル層が設けられ、当該導電メタル層と下層電極端子とを位置合わせさせた状態で金属塊により導通させて積層した。



【特許請求の範囲】

【請求項1】 同一の配列パターンに配列された共通の電極を有する半導体チップを下層チップの電極端子列上に上層チップの縁辺を沿わせて積層し、上層チップの縁部には上層電極端子と導通されチップ裏面側に向けて延在する導電メタル層が設けられ、当該導電メタル層と下層電極端子とを位置合わせさせた状態で金属塊によりを導通させて積層してなることを特徴とするマルチチップ。

【請求項2】 上層チップの縁部には傾斜面を有し、この傾斜面に沿って前記導電メタル層を形成してなることを特徴とする請求項1に記載のマルチチップ。

【請求項3】 前記上下半導体チップは同一または異種サイズの半導体チップからなり、それらの隣接する2辺を整列して積層し、各半導体チップに共通する端子を上記整列された縁辺側に集中させ、集中配置された積層チップ間の端子同士を積層体の端面部分で導通接続したことを特徴とする請求項1または2に記載のマルチチップ。

【請求項4】 同一の配列パターンに配列された共通の電極を有する半導体チップを下層チップの電極端子列上に上層チップの縁辺を沿わせて積層し、上層チップの縁部には上層電極端子と導通されチップ裏面側に向けて延在する導電メタル層が設けられ、当該導電メタル層と下層電極端子とを位置合わせさせた状態で金属塊により導通させるとともに、樹脂により封止したことを特徴とするマルチチップパッケージ。

【請求項5】 前記封止樹脂は金属塊部分を露出してなることを特徴とする請求項4に記載のマルチチップパッケージ。

【請求項6】 前記金属塊にワイヤボンディングを施して外部電極と接続し、樹脂で封止をなしたことを特徴とする請求項4に記載のマルチチップパッケージ。

【請求項7】 前記金属塊にリード端子を接続して樹脂封止をなしたことを特徴とする請求項4に記載のマルチチップパッケージ。

【請求項8】 同一の配列パターンに配列された共通の電極端子を有する半導体チップを下層チップの電極端子列上に上層チップの縁辺を沿わせて積層し、上層チップの縁部には上層電極端子と導通されチップ裏面側に向けて延在する導電メタル層が設けられるとともに、前記導電メタル層と下層電極端子とを位置合わせさせて積層したマルチチップを有し、このマルチチップをプリント回路基板に搭載し、当該プリント回路基板の外部電極端子に対して前記導電メタル層と下層電極端子とをスタッドにより接続しつつ外部電極端子とをワイヤボンディングにより導通接続し、樹脂封止してなることを特徴とするマルチチップパッケージ。

【請求項9】 請求項4乃至8に記載のマルチチップパッケージを実装してなることを特徴とする半導体装置。

【請求項10】 請求項9に記載の半導体装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明はマルチチップ、マルチチップパッケージ、半導体装置、ならびに電子機器に係り、電気的特性の劣化を低減して集積度を向上させることができるようにしたマルチチップ、マルチチップパッケージ、半導体装置、ならびに電子機器に関する。

【0002】

【従来の技術】 近年、電子機器の高性能化、小型化に伴って1つのパッケージ内に複数の半導体チップを配置してマルチチップパッケージ(Multi Chip Package)することにより、半導体装置の高機能化と小型化とが図られている。そして、マルチチップパッケージには、複数の半導体チップを平面的に並べたものと、複数の半導体チップを厚み方向に積層したものがある。半導体チップを平面的に並べたマルチチップパッケージは、広い実装面積を必要とするため、電子機器の小型化への寄与が小さい。このため、半導体チップを厚み方向に積層したスタックドMCPの開発が盛んに行われている。

【0003】 この種のパッケージ構造としては、実開昭62-158840号、特開平6-37250号の公報に開示されているように、複数の半導体チップを外形寸法の大きさにしたがってピラミッド状に積層し、各半導体チップの端子電極をワイヤボンディングによって接続する構成となっているのが一般的である。

【0004】

【発明が解決しようとする課題】 ところが、上記従来構造のマルチチップパッケージでは、積層する順位がチップサイズによって規制されてしまい、積層の自由度が少なくない欠点がある。また、チップ間の端子電極の接続にワイヤボンディングを利用して行なうが、端子間距離が一定していないため、ワイヤ長さが種々にわたってしまい、ボンディング長さに起因する電気的特性の劣化が生じてしまう問題がある。更に、積層するチップの下層チップは必ず上層チップよりは端子電極の形成領域が露出している必要があり、チップサイズに限定要件があるため、設計自由度が極めて小さいという問題もある。

【0005】 本発明は、上記従来の問題点に着目し、半導体チップの3次元実装が容易にできるとともに、電気的特性の劣化を最小にすることのできるマルチチップ、マルチチップパッケージおよびこれを用いた半導体装置ならびに電子機器を提供することを目的とする。

【0006】

【課題を解決するための手段】 上記目的を達成するため、本発明に係るマルチチップは、同一の配列パターンに配列された共通の電極を有する半導体チップを下層チップの電極端子列上に上層チップの縁辺を沿わせて積層し、上層チップの縁部には上層電極端子と導通されチップ裏面側に向けて延在する導電メタル層が設けられるとともに、前記導電メタル層と下層電極端子とを位置合わせさせて積層したマルチチップを有し、このマルチチップをプリント回路基板に搭載し、当該プリント回路基板の外部電極端子に対して前記導電メタル層と下層電極端子とをスタッドにより接続しつつ外部電極端子とをワイヤボンディングにより導通接続し、樹脂封止してなることを特徴とするマルチチップパッケージ。

面側に向けて延在する導電メタル層が設けられ、当該導電メタル層と下層電極端子とを位置合わせさせた状態で金属塊によりを導通させて積層してなることを特徴としている。この場合において、上層チップの縁部には傾斜面を有し、この傾斜面に沿って前記導電メタル層を形成することが望ましく、また、前記上下半導体チップは同一または異種サイズの半導体チップからなり、それらの隣接する2辺を整列して積層し、各半導体チップに共通する端子を上記整列された縁辺側に集中させ、集中配置された積層チップ間の端子同士を積層体の端面部分で導通接続することが望ましい。

【0007】本発明に係るマルチチップパッケージは、同一の配列パターンに配列された共通の電極を有する半導体チップを下層チップの電極端子列上に上層チップの縁辺を沿わせて積層し、上層チップの縁部には上層電極端子と導通されチップ裏面側に向けて延在する導電メタル層が設けられ、当該導電メタル層と下層電極端子とを位置合わせさせた状態で金属塊により導通させるとともに、樹脂により封止したことを特徴としている。この場合、前記封止樹脂は金属塊部分を露出して構成し、あるいは前記金属塊にワイヤボンディングを施して外部電極と接続し、樹脂で封止をなるように構成し、また、前記金属塊にリード端子を接続して樹脂封止をなすように構成することができる。

【0008】更に、本発明に係るマルチチップパッケージは、同一の配列パターンに配列された共通の電極端子を有する半導体チップを下層チップの電極端子列上に上層チップの縁辺を沿わせて積層し、上層チップの縁部には上層電極端子と導通されチップ裏面側に向けて延在する導電メタル層が設けられるとともに、前記導電メタル層と下層電極端子とを位置合わせさせて積層したマルチチップを有し、このマルチチップをプリント回路基板に搭載し、当該プリント回路基板の外部電極端子に対して前記導電メタル層と下層電極端子とをスタッドにより接続しつつ外部電極端子とをワイヤボンディングにより導通接続し、樹脂封止してなることを特徴としている。

【0009】また、本発明に係る半導体装置は上述したマルチチップパッケージを実装して構成され、また、本発明に係る電子機器は上記構成の半導体装置を備えて構成される。

【0010】

【発明の実施の形態】以下に、本発明に係るマルチチップ、マルチチップパッケージ、半導体装置、ならびに電子機器の具体的実施の形態の形態を図面を参照して詳細に説明する。

【0011】図1は実施形態に係るマルチチップ10をプリント回路基板12に実装した状態の概略斜視図と端子間接続状態の要部断面図であり、図2はその平面図である。これらに図示しているように、マルチチップ10は、異種サイズの2枚の半導体チップ14A、14Bを

それらの隣接する2辺が整列するように上下に積層して構成されている。換言すれば、半導体チップ14A、14Bのサイズの如何に拘わらず、それらの一つのコーナ部分を挟む隣接2辺が整列するように、2辺を近接させ、かつ平行となるように積層するのである。この実施形態では、上層には正方形をなす最小半導体チップ14Aが配置され、その下層には一回り大きいサイズの矩形半導体チップ14Bが配置されるように積層している。このように同一または異種サイズの2枚の半導体チップ14A、14Bをそれらの隣接する2辺が平行となるように縁辺を揃えて配設するが、この場合、上層チップ14Aの電極端子16n(n=1、2、……n)と、下層チップ14Aの電極端子18n(n=1、2、……n)は、各チップの隣接する2辺に集中配置させておき、かつ配列パターンが同一となるように設定しておく。そして、上層チップ14Aの縁辺が下層チップ14Bにおける電極端子18n(n=1、2、……n)の配列線上に一致するように積層しているのである。

【0012】すなわち、各半導体チップ14A、14Bに共通する端子を上記整列される縁辺部分に集中させているのである。例えば、上層半導体チップ14Aをメモリチップとして構成し、下層半導体チップ14Bをロジック回路チップとして構成した場合、電源ライン、データライン、アドレスラインなどの電極端子、あるいはライトイネーブルなどの制御端子を共通にすることができる。したがって、このような共通端子16n、18n(n=1、2、……n)を各半導体チップ14A、14Bにおける整列縁辺側に集中配置するようにしている。このとき、各半導体チップ14の共通端子の配列パターンを一致させる。もちろん、端子ピッチ間隔も一定にすることが望ましい。このようにすることにより、各半導体チップ14A、14Bが積層されたとき、積層体の端縁部に配列された共通する端子16n、18n同士が同列位置に設定される。

【0013】ところで、実施形態では、上層半導体チップ14Aの縁辺に傾斜面を形成するようにして、この傾斜面に電極端子16nと導通されるメタル層20n(n=1、2、……n)を形成し、チップ積層によりこのメタル層20nの先端が下層チップ14Bの電極端子18nに殆ど当接するよう延在させている。上層半導体チップ14Aの製造工程を図3に示す。

【0014】ウェハ22には予めチップ単位に回路素子が作り込まれており、チップ個片に分割するための分割ラインしが設定されている。この分割ラインしが挟んでチップ個片の縁部にはアルミなどからなる信号入出力端子となる電極端子16nを配列させている。そこで、ウェハ22の素子形成面にて、分割ラインを開口させたエッチング保護膜24を形成する。すなわち、トランジスタ、抵抗素子、配線、電極パッドなどの各種素子が形成されている方位面が(100)面のウェハ10に対し、

酸化シリコン膜からなるエッティング保護膜20をCVD法などにより形成する(図3(1))。非能動面側のウェハ10の裏面にも同様にしてエッティング保護膜26を形成する。この状態で、異方性エッティングを行なってエッティング保護膜24の開口部28から露出されているシリコン単結晶基板をエッティング処理する。この異方性エッティングでは、シリコン単結晶基板が傾斜角度が54.7度となる方位面(111)面でエッティングが止まり、V字形の溝(V溝)30が形成される。なお、更にエッティングが進むと基板表面と垂直な面からシリコン内奥部に後退するようになり、エッティング時間を調整することで、まずストレート部分が形成され、さらに時間が進むと紡錘形の孔が形成されるが、この実施形態では異方性エッティングを前記V溝30の生成時点で停止するようにしている(図3(2))。このV溝30の深さはエッティング保護膜24の開口部28の幅によって左右されるため、ウェハ22の厚みによって任意に調整すればよい。

【0015】しかる後、チップ個片の各縁部に形成されている電極端子16n上の絶縁膜(エッティング保護膜24)を除去して入出力端子となっている電極端子16nのみを露出させておき、この電極端子16nと導通される導電メタル層20nを、前記V溝30の傾斜面部まで延長形成する。この実施形態では、分割ラインLを挟んで対となっているチップ個片の電極端子16n、16nを対向させているので、両端子16n、16nの両者に跨るように一括して導電メタル層20nを形成するようしている(図3(3))。もちろん、チップ個片単位に個別にメタル層20nを形成してもよい。

【0016】このような電極端子16nと導通される導電メタル層20nをV溝30の傾斜面に形成した後、ウェハ22の裏面のラッピング処理を行なってチップ薄膜化処理を行なう。ラッピング処理をV溝30の底部に達するまで行なうことにより、V溝30部分でチップ個片に分割された半導体チップ14Aが形成される(図1(4))。この状態では半導体チップ14Aの側端縁に傾斜面が形成され、電極端子16nに導通される導電メタル層20nがチップ14Aの裏面に達するまで延在したものとなる。

【0017】このようにして形成された半導体チップ14Aを下層半導体チップ14B上に積層するが、半導体チップ14A、14Bを積層するに際して、層間に絶縁接着樹脂(図示せず)を介在させることで、チップ間で端子と基板シリコンとの接触による不具合を防止できる。積層する場合、前述したように、下層電極端子18nの配列線上に上層チップ14Aの縁部が一致するように配設し、もって上層電極端子16nと導通されるメタル層20nが下層電極端子18nにほぼ接触された状態とする。そして、当該導電メタル層20nと下層電極端子18nとを位置合わせさせた状態で金属塊32によりを導通させることによって、マルチチップ10が作成され

る。

【0018】実施形態では、図1に示しているように、上記マルチチップ10を更にプリント回路基板12に実装するようにしている。プリント回路基板12にはマルチチップ10の共通電極端子16n、18nと接続される外部電極端子34nが設けられ、この外部電極端子34nに対しボンディングワイヤ36により接続するよう構成している。この場合、マルチチップ10の電極導通処理と同時にプリント回路基板12の外部電極端子34nに対する導通処理を行なうようにすればよい。すなわち、図1(2)に示しているように、プリント回路基板12の外部電極端子34nに対して前記導電メタル層20nと下層電極端子18nとをワイヤボンディングボール(金属塊32)により接続しつつ外部電極端子34nとをボンディングワイヤ36により導通接続するようすればよい。これにより導通処理を一括で行なうことができる。

【0019】また、上層半導体チップ14Aにメタル層20nを形成する方法としては、図4に示すような方法も採用できる。これはウェハ22の分割ラインLに沿って異方性エッティングを行なうことによりV溝30を形成するが、これはウェハ22の非能動面側である裏面に形成するようしている。一方、ウェハ能動面には前記分割ラインLに沿って個片チップの電極形成用溝を形成するようしている。異方性エッティング処理を行なう際、ウェハ22の裏面には図3に示した実施形態と同様に、分割ラインL部分を開口させたマスク(エッティング保護膜)を形成して異方性エッティングを行なうことによりマトリックスライン状のV溝14がする。一方、このウェハ裏面のエッティングに合わせて、ウェハ10の能動面には、各チップの外部電極に近接し、分割ラインLに跨るような矩形窓を臨ませたマスクを形成して、同時に異方性エッティングを施す。方位面が(100)のシリコン単結晶基板へ異方性エッティングを行なうと、傾斜角度が54.7度となる方位面(111)面でエッティングが止まるため、マスクの矩形窓からエッティングされると、当該部分には、逆ピラミッド状穴38が形成される(図4(1)参照)。このように、異方性エッティングにより、ウェハ22の裏面には分割ラインLに沿ったV溝14が形成され、ウェハ22の能動面には電極近傍に逆ピラミッド状穴38が形成されたウェハ10が得られる。このようなウェハ22に対し、面圧を加えて前記V溝30を拡開させる方向に湾曲させることによりウェハ22がチップ個片に分割されるが、この分割により、逆ピラミッド状穴38が分割ラインLにて2分割され、図4(2)に示すように、同時に電極形成用溝40がチップ個片の端縁に形成され、これはチップ電極端子16nの近傍に設定される。そこで、チップ電極端子16nと導通されるメタル層20nを電極形成用溝40に延長させ、チップ裏面をラッピング処理して薄膜化することにより、積

層用の半導体チップ14Aが作成される(図4)

(3)。そして、このメタル層20nを下層半導体チップ14Bの電極端子18nに導通させて信号入出力を行なわせるようにすればよい。

【0020】このようにして形成されたマルチチップ10は、プリント回路基板12に実装され、プリント回路基板12の外部電極端子34nと共に電極16n、18nとが接続導通される。これにより機能をもった半導体装置42が作製される。かかるマルチチップ10では、異種サイズの半導体チップ14A、14Bは隣接する2辺に共通端子16n、18nを集中配置するように設計作製し、これらの2辺が整列するようにコーナーを一致させて積層する構成を採用しているので、チップセンターにピラミッド状にチップ積層しなくともよく、積層作業を極めて簡易に行なわせることができる。そして、積層にはチップサイズによる制限は無いので、積層順位を任意に設定でき、パッケージ設計の自由度は著しく増大する。また、積層されるチップ14A、14Bの共通端子16n、18n同士はメタル層20nにより導通状態となり、上下間で共通にすることができ、プリント回路基板12へのボンディングワイヤ36の長さも最短とすることができる。この結果、電気的な特性の劣化を最小に抑えることができる。マルチチップ10の揃えた縁辺以外の箇所では凹凸端面となるが、これらは樹脂モールドによって外形を整えることができるので、何ら問題はない。

【0021】なお、上記構成では、サイズが異なる半導体チップ14A、14Bを積層するものとして述べたが、サイズの如何に拘わらず、一つの回路装置を構成する異なる種類の半導体チップを対象とし、これらに共通する電極を同一の配列パターンで各チップにおける隣接する2辺の範囲内に集中配置し、前記2辺を整列させて異種半導体チップを積層してこの積層体の端面部分で共通電極の導通接続をなすようにしてもよい。

【0022】上記実施形態では、2層構造のマルチチップ10としているが、上層半導体チップ14Aの上面に更に半導体チップを積層するようにしてもよい。この場合においても、前述した半導体チップ14Aの場合と同様に、電極端子16nの配列線上に上層配置される半導体チップの縁辺を一致させるようにすればよい。

【0023】図5に実施形態に係るマルチチップパッケージの類例を示している。積層されたマルチチップ10は、前述したように下層半導体チップ14Bの電極端子34n列上に上層半導体チップ14Aの縁辺を沿わせて積層し、上層半導体チップ14Aの縁部には上層電極端子18nと導通されチップ裏面側に向けて延在する導電メタル層20nが設けられ、当該導電メタル層20nと下層電極端子34nとを位置合わせさせた状態で金属塊32により導通されている。この積層マルチチップ10を樹脂封止することによりパッケージを形成できるが、

図5(1)に示した例は、前記金属塊32以外の部分を樹脂封止するものとしている。これは例えば感光性樹脂をノズルによる選択塗布させることにより実現される。また、図5(2)に示した例は、上下半導体チップ14A、14Bを積層して金属塊32により上下の導通を取った後、この金属塊32にワイヤボンディングを施してリード端子と接続し、トランスマーケットによりマルチチップ10の全体を樹脂封止し、QFP(Quad Flat Package)にしたものである。更に、図5(3)に示した例は、金属塊32に対しシングルポイントTABにより、リード端子と接続し、樹脂をコーティングしてパッケージしている。また、図5(4)に示した例は、金属塊32の形成と、ワイヤボンディングによる接続を一括で行なった後に樹脂封止するようにしたもので、金属塊32の配置位置にワイヤボンディング技術により、ボンディングボールを形成して上下チップ14A、14Bの導通をとり、連続して外部リード端子との接続をボンディングワイヤにより行なうことにより一括接続をなし、その後、全体をトランスマーケットを行なってQFP構造としたものである。

【0024】本発明の実施の形態に係る半導体装置を実装した電子機器として、図6にノート型パーソナルコンピュータ1200を示している。前記ノート型パーソナルコンピュータ1200は、高機能化を図った半導体装置を備えているため、性能を向上させることができるものである。

【0025】

【発明の効果】以上説明したように、本発明は、同一の配列パターンに配列された共通の電極を有する半導体チップを下層チップの電極端子列上に上層チップの縁辺を沿わせて積層し、上層チップの縁部には上層電極端子と導通されチップ裏面側に向けて延在する導電メタル層が設けられ、当該導電メタル層と下層電極端子とを位置合わせさせた状態で金属塊により導通させて積層してた構成を採用しているので、半導体チップの3次元実装が容易にできるとともに、電気的特性の劣化を最小にすることのできるマルチチップおよびこれを用いた半導体装置ならびに電子機器を製造することができる。

【図面の簡単な説明】

【図1】実施形態に係るマルチチップをプリント回路基板に実装した半導体装置の斜視図および要部断面図である。

【図2】実施形態に係るマルチチップの平面図である。

【図3】上層半導体チップの製造工程図である。

【図4】上層半導体チップの製造工程の他の例を示す説明図である。

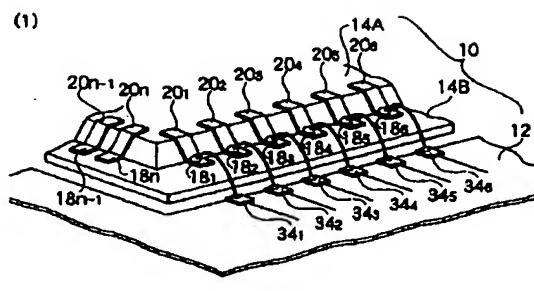
【図5】実施形態に係るマルチチップパッケージの構成例を示す断面図である。

【図6】実施形態に係るマルチチップの電子機器への適用例の説明図である。

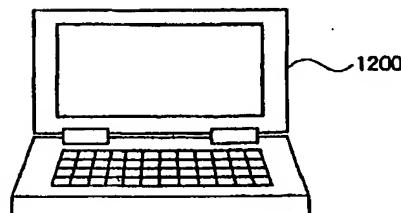
【符号の説明】

1 0	マルチチップ	2 6	エッチング保護膜
1 2	プリント回路基板	2 8	開口部
1 4 A	上層半導体チップ	3 0	V溝
1 4 B	下層半導体チップ	3 2	金属塊
1 6 n	上層電極端子	3 4 n	外部電極端子
1 8 n	下層電極端子	3 6	ボンディングワイヤ
2 0 n	メタル層	3 8	逆ピラミッド状穴
2 2	ウェハ	4 0	電極形成用溝
2 4	エッチング保護膜	4 2	半導体装置

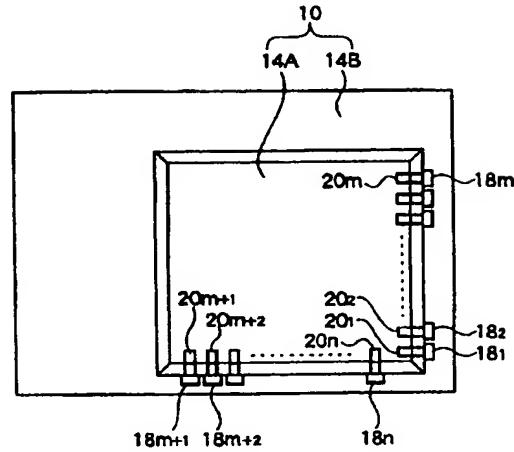
〔图1〕



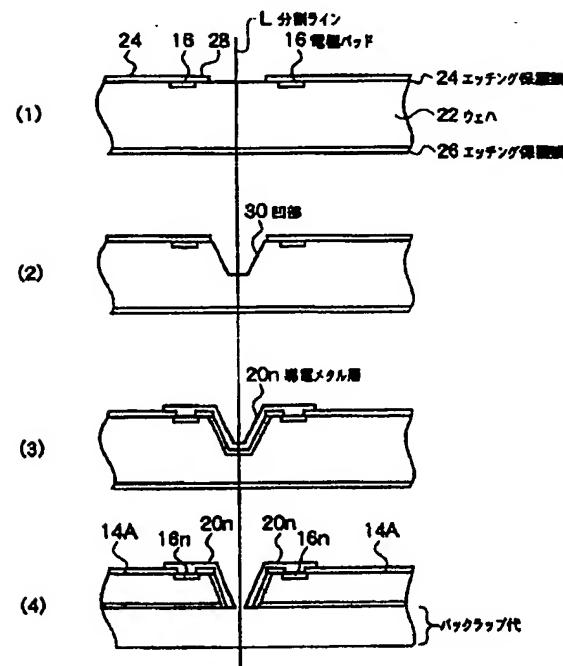
〔図6〕



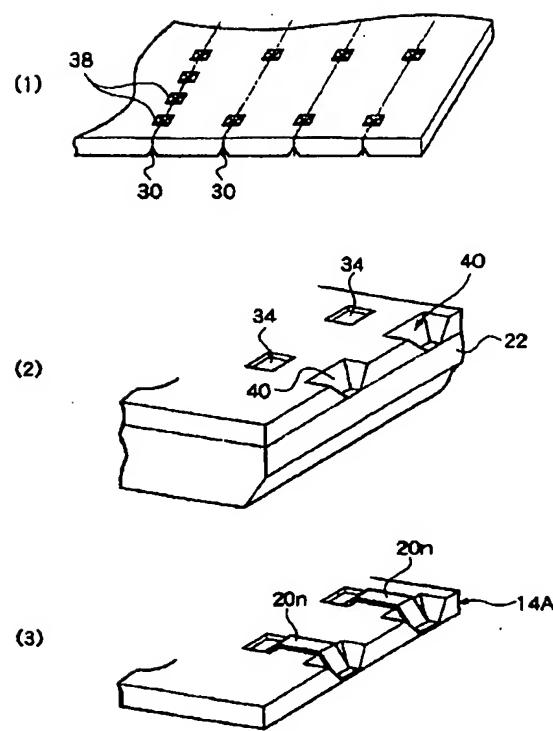
[图2]



[图 3]



【図4】



【図5】

